

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020097479 A
(43)Date of publication of application: 31.12.2002

(21)Application number: 1020010035430

(71)Applicant:

SAMSUNG ELECTRONICS CO.,

(22)Date of filing: 21.06.2001

(72)Inventor:

LTD.
LEE, GYU MAN

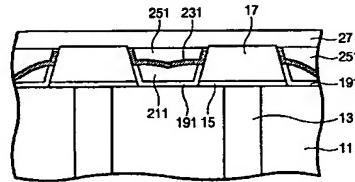
(51)Int. Cl

H01L 27/105

(54) FERROELECTRIC MEMORY DEVICE USING FERROELECTRIC LAYER AS PLANARIZATION LAYER AND FABRICATING METHOD THEREOF

(57) Abstract:

PURPOSE: A ferroelectric memory device using a ferroelectric layer as a planarization layer is provided to be easily connected to a subsequent capacitor line by having a planarized ferroelectric layer and an upper electrode, and to improve a capacitor characteristic of two adjacent memory cells by making a planarizing ferroelectric layer between capacitors of the two adjacent memory cells have the same ferroelectric property as a ferroelectric layer on a lower electrode.



CONSTITUTION: At least two lower electrode patterns(17) are formed on a semiconductor substrate. The planarizing ferroelectric layer fills a gap between the lower electrode patterns. A capacitor ferroelectric layer is formed on the planarizing ferroelectric layer and the lower electrode pattern.

© KIPO 2003

Legal Status

Date of request for an examination (20010621)

Final disposal of an application (registration)

Date of final disposal of an application (20031125)

Patent registration number (1004201210000)

Date of registration (20040212)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/105

(11) 공개번호 특2002-0097479
(43) 공개일자 2002년12월31일

(21) 출원번호

(21) 출원번호 10-2001-0035430

(22)-출원일

10-2001-0035430

(71) 출원인

삼성전자 주식회사

卷之三

경기 2

(72) 발명자

이규만

卷之三

경기도수원시풀

卷之三十一

【▶】 가을철에는 페테리만으로 이용하는 가을철에 모리 잡치 및 그 조림방법

20

그 방법에 따르면, 콘택 플러그를 가진 출간 절연막에 전극 패턴을 형성한다. 상기 하부전극 패턴사이의 공간에 도전막을 적층하고 페터닝하여 캐퍼시터 하부간을 채우는 평탄화용 강유전막이 형성되고 이어서 캐퍼시터에 사용될 강유전막이 형성된다.

八

59

— 10 —

도1 내지 도6은 본 발명의 일 실시예에 따른 FRAM의 캐퍼시터 형성 방법의 중요 단계를 나타낸 공정 단면

도를 떠나는 그림자들은 신비로운 세계로 향하고 있다. 그들이 드는 풍물은 그들의 삶과 함께 흘러온 역사와 문화의 흔적이다.

• 1991 • 1992 • 1993

總第 173

2020년 출판는 권총과 그 놀라운 주제기술

발명은 FRAM과 같은 강유전체 캐퍼시터를 가지는 강유전체 메모리 장치 및 그 형성 방법에 관한 것이다.

강유전체는 외부 전계를 가하면 불극(Polarization)이 발생하고 외부 전계가 제거되어도 분극 상태가 상당 부분 자준되는 물질이며, 자발 분극의 방향을 외부 전계의 변화를 통해 조절할 수 있는 물질로서, PZT($Pb(Zr-Ti)O_3$), SBT($SrBiTaO_6$) 등으로 대표될 수 있다. 이러한 강유전체의 성질은 현재 널리 사용되는 이진 메모리(binary memory), 소자의 기본 원리와 합치되는 점을 가진다. 그러므로 FRAM(Ferroelectric Random Access Memory) 등은 강유전체를 이용한 메모리 소자의 연구가 많이 이루어지고 있다.

같은 구조를 가지도록 해야 한다. 이런 구조는 통상 이들 강유전성 물질을 아몰퍼스 기타 상태로 적층한 뒤 산화되거나 고온, 가령, 700°C 정도로 가열하여 결정화시킬 때 얻어질 수 있다. 강유전성 물질이 화성 분위기에서 고온, 가령, 700°C 정도로 가열하여 결정화시킬 때 얻어질 수 있다. 강유전성 물질이 페로브스카이트 구조를 가지려면 강유전성 물질의 하부에 적층된 하부막이 강유전막의 페로브스카이트 구조와 비슷한 결정 구조를 가져야 한다. 즉, 하부막은 페로브스카이트 구조의 강유전막을 형성하는 데 있어서 시드층(seed layer)의 역할을 해야 한다. 시드층의 역할을 할 수 있는 물질로는 백금, 르네늄, 아리듐 등이다. 흑금은 이들의 산화물을 예시할 수 있다. 따라서, 실리콘 산화막, 실리콘 물질 등은 페로브스카이트 결정 구조를 얻을 수 있다. 그 외에는 페로브스카이트 결정 구조를 얻을 수 있는 물질 위에서 강유전성 물질의 결정화를 시도할 경우에는 페로브스카이트 결정 구조를 얻을 수 있고, 강유전 틸선을 제작시키는 페로브스카이트(ovochlore phase)가 형성된다.

먼저 하부전극을 형성하고 인접한 하부전극을 전기적으로 절연하도록 하부전극 사이를 채우는 충간층에 강유전체를 형성하고 이어서 하부전극과 충간 절연막 상에 강유전막을 형성하는 공정에 있어서, 일일적으로 절연막을 형성하고 CVD 방법에 의해 형성되는 산화막이고 강유전성 물질과 산화막이 서로 반응하기 때문에 강유전막을 형성하는 데에 피마로를로르 상이 형성되게 된다. 피마로를로르 상은 강유전 특성이 거의 없기 때문에 충간 절연막을 형성하는 데에 피마로를로르 특성을 저하시키며 강유전체에 비해 부피 변화가 심하여 전체적인 강유전막의 평탄도가 개편된다.

를 떨어뜨리며 서로 접하는 다른 막질과의 박리현상을 초래하는 문제점이 있다.

발명이 이루고자 하는 기술적 효과

본 발명은, 상술한 증례의 강유전체 캐퍼시터 형성시의 문제점을 해결하기 위한 것이다. 따라서, 본 발명은 강유전막을 채용한 캐퍼시터의 정전용량이 감소하는 것을 방지할 수 있는 강유전체 메모리 장치 및 그 형성 방법을 제공하는 것을 목적으로 한다.

또한, 본 발명은, 하부 전극을 먼저 패터닝하는 강유전체 캐퍼시터 형성에 있어서, 평탄한 강유전막과 상부 전극을 얻을 수 있는 강유전체 메모리 장치의 형성 방법을 제공하는 것을 목적으로 한다.

본 발명은 두 개의 인근 메모리 셀의 캐퍼시터에서 하부전극 상의 강유전막 영역뿐 아니라 캐퍼시터 사이에 존재하는 출간 절연막 상의 영역도 거의 동일한 수준의 강유전 특성을 갖게 하여 과정적으로 캐퍼시터의 특성을 향상시키는 강유전체 메모리 장치 및 그 형성 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명 장치는, 반도체 기판 상에 형성되는 적어도 두 개의 하부 전극 패턴들, 상기 하부 전극 패턴들 사이에 존재하는 공간을 채우는 평탄화용 강유전막, 상기 평탄화용 강유전막과 상기 하부 전극 패턴들의 위에 형성되는 캐퍼시터용 강유전막을 구비하여 이루어진다.

본 발명 장치에서 하부전극 패턴들은 출간 절연막이 형성된 반도체 기판에 상기 하부전극 패턴들이 상기 출간 절연막을 관통하여 형성된 적어도 2개의 스토리지 노드 콘택 플러그들과 각각 전기접속하도록 형성될 수 있다.

상기 평탄화용 강유전막은 상기 하부전극 사이에 보이드가 발생하지 않으면서 평탄화가 이루어지도록 평탄화막으로 작용할 뿐 아니라 상기 캐퍼시터용 강유전막을 폴로브스카이트 구조로 형성하기 위하여 캐퍼시터용 강유전막의 시드층으로도 작용한다.

상기 하부전극 패턴과 상기 하부전극 패턴의 하부에 있는 상기 콘택 플러그 및 상기 출간 절연막 사이에 부착 보조막 패턴을 추가할 수도 있다. 또한, 상기 하부전극의 측벽의 적어도 일부를 덮으면서 상기 출간 절연막과 상기 평탄화용 강유전막 사이에 시드층을 더 추가할 수 있다.

그리고, 상기 하부전극의 측벽 일부를 덮도록 상기 출간 절연막과 상기 평탄화용 강유전막 사이에 산화방지막 혹은 평탄화 보조막 각각을 더 추가하거나 혹은 산화방지막과 평탄화 보조막을 순서대로 함께 추가할 수 있다. 이 경우, 상기 하부전극의 측벽의 나머지 일부를 덮으면서 상기 평탄화 보조막과 상기 평탄화용 강유전막 사이에 시드층을 더 추가할 수도 있다. 이때 시드층은 상기 평탄화용 강유전막의 강유전성 구조 형성을 위한 것으로 평탄화 보조막과 평탄화용 강유전막 사이의 반응방지막을 겸할 수 있다.

본 발명 장치에 있어서, 상기 산화 방지막은 상기 콘택 플러그가 산화되는 것을 방지하기 위해 형성하는 것이다.

상기 평탄화용 강유전막과 상기 캐퍼시터용 강유전막은 동일한 재질로 형성될 수 있는데 이 경우 평탄화용 강유전막과 캐퍼시터용 강유전막은 연속되는 동일한 결정 구조를 가진다.

상기 목적을 달성하기 위한 본 발명 방법은, 반도체 기판상에 적어도 2개의 하부전극 패턴들을 형성하는 단계, 하부전극 패턴을 사이에 평탄화용 강유전성 물질막을 형성하는 단계, 하부전극 패턴들과 평탄화용 강유전성 물질막의 상면에 평탄한 캐퍼시터용 강유전성 물질막을 형성하는 단계를 구비하여 이루어진다.

본 발명 방법의 제1 구성예에 따르면, 먼저, 기판에 트랜지스터 같은 반도체 장치 하부 구조를 형성한다. 상기 하부 구조를 덮는 출간 절연막을 형성하고, 상기 반도체 기판의 일부 혹은 기판과 연결되는 패드가 노출되도록 상기 출간 절연막을 패터닝하여 콘택 홀을 형성한다. 상기 콘택 홀을 채우도록 도전층을 적층하고, 평탄화 식각을 실시하면 콘택 홀을 채우는 플러그가 전류하게 된다. 콘택 플러그 위로 도전막을 적층하고 패터닝하여 캐퍼시터 하부 전극 패턴을 형성한다. 도전막은 벽금 등의 귀금속 또는 그 산화물층이거나 이들의 조합으로 형성할 수 있다. 상기 패터닝된 하부전극 패턴을 사이로 기판 상에 평탄화용 강유전성 물질막을 형성한 후 상기 하부전극 패턴들의 상면이 노출되도록 평탄화 식각을 진행하여 상기 하부전극 패턴들 사이에 평탄화용 강유전성 물질막을 전류시켜 평탄화된 기판을 형성한다. 상면이 드러난 상기 하부전극 패턴들과 상기 평탄화용 강유전성 물질막을 상에 캐퍼시터용 강유전성 물질막을 형성한다.

상기 하부전극 패턴들과 상기 출간 절연막 사이에는 상기 하부전극 패턴들과 하부막과의 부착성을 높이기 위해 하부전극을 이를 도전층 형성에 앞서 부착보조막을 더 형성할 수 있다.

상기 평탄화용 강유전성 물질막 형성 전에 상기 하부전극 패턴들이 형성된 반도체 기판 전면에 산화방지막과 평탄화 보조막을 형성하고 상기 하부전극 패턴들의 상면과 상부 측벽이 노출되도록 상기 평탄화 보조막 및 산화방지막을 고도식각하여 상기 산화방지막 및 평탄화 보조막은 상기 하부전극 패턴들 사이에 전류시킨다. 공정을 더 포함할 수도 있다. 또한, 상기 하부전극 패턴들의 상부 측벽을 덮으면서 상기 평탄화용 강유전성 물질막과 상기 평탄화 보조막을 겸한 시드층을 더 형성할 수 있다.

상기 목적을 달성하기 위한 본 발명의 방법의 제2 구성예에 따르면, 제1 구성예와 동일하게 캐퍼시터 하부전극 패턴들까지 형성한 후, 반도체 기판 전면에 시드층을 적층한다. 그리고, 평탄화 식각을 통해 하부전극 패턴들의 상면이 드러나도록 하면서 상기 하부전극 패턴들 사이에 상기 시드층 일부를 전류시킨다. 평탄화용 강유전성 물질막을 형성하는 공정 이후부터는 상기 본 발명 방법의 제1 구성과 동일하다. 혹은, 하부전극 패턴들을 기판에 형성한 뒤, 시드층 및 평탄화용 강유전성 물질막을 차례로 적층하고 평탄화 식각을 통해 한꺼번에 원하는 시드층 및 평탄화용 강유전성 물질막 패턴을 형성할 수도 있다. 이상 제2 구성예의 어느 경우에 있어서도 시드층 형성 전에 산화방지막을 먼저 기판 전면에 형성하는 단계를 추가로 가질 수 있으며, 이때, 후속 공정에서 산화방지막은 시드층과 동일한 처리과정을 거치게 된다.

미하 도면을 참조하면서 실시예를 통해 본 발명을 상세히 설명하기로 한다.

(실시예 1)

도1 내지 도6은 본 발명의 일 실시예에 따른 FRAM의 캐퍼시터 형성 방법의 중요 단계를 나타낸 공정 단면 도들이다.

도1을 참조하면, 기판 하부 구조 위에 층간 절연막(11)이 적층되어 있고, 층간 절연막(11)에는 콘택 플러그(13)가 형성되어 있다. 도시되지 않지만 이때 하부 구조는 통상, 기판에 게이트 전극을 비롯한 소나 스/드레인의 MOS 트랜지스터 구조 및 MOS 드레인과 연결되는 비트라인 등으로 이루어진다. 이때, 각 콘택 플러그는 각 메모리 셀의 트랜지스터의 소오스 영역과 직접 혹은 콘택 패드를 통해 간접으로 연결된다.

도2를 참조하면, 콘택 플러그(13)가 형성된 층간 절연막(11) 위에 티타늄층으로 이루어진 부착보조막이 형성된다. 티타늄층 위에는 백금 재질로 하부 전극층이 형성된다. 하부 전극층 및 티타늄층은 차례로 패터닝되어 부착보조막 패턴(15) 및 하부 전극 패턴(17)을 형성하게 된다. 이때, 하부 전극 패턴(17)은 각각 때 경사지게 할 수도 있는데 그 단면을 보면 하변이 긴 사다리꼴이 된다.

부착보조막은 하부 전극층과 층간 절연막 사이의 열 공정에 따른 스트레스를 완화시키고, 부착력을 높이는 역할을 하게 된다. 부착 보조막은 티타늄 외에 티타늄 질화막, 티타늄 실리사이드, 티타늄 실로니아이트 라이드(TiSiN) 같은 티타늄의 질소 화합물이나 그의 실리사이드로 형성될 수 있다. 기타, 탄탈륨, 미리듐, 루테늄, 텐스텐 등의 고용접 금속 혹은 그 실리사이드 또는 그의 질화물 등도 부착 보조막으로 사용될 수 있으며, 이때, 스퍼터링, CVD, 증발(SOI-PEL) 방식 등을 사용할 수 있다.

하부 전극층으로는, 백금 외에 루테늄(Ru), 미리듐, 로듐, 오스뮴, 팔라듐 등과 이들의 도전성 산화물과 그 조합이 사용될 수 있다.

도3을 참조하면, 하부 전극 패턴(17)이 형성된 기판 위로 통상 산화방지막(19)이 형성되어 하부 전극 패턴(17)과 주위의 층간 절연막(11)을 덮게 된다. 평탄화 보조막(21)으로 실리콘 산화막을 적층한다. 이때, 평탄화 보조막(21)은 스텝 커버리지 특성이 뛰어난 재질 및 방식으로 형성하는 것이 바람직하며, PECVD, LPCVD, ALD(Atomic Layer Deposition) 등으로 적층될 수 있다. 살기 산화 방지막(19)은 산화 알미늄, 산화 티타늄, 산화 지르코늄, 산화 세슘 등의 다양한 금속 산화물로 형성될 수 있다.

도3 및 도4를 참조하면, 전면 미방성 식각을 실시하여 하부 전극 패턴(17)의 상면과 상부 측벽이 노출되도록 평탄화 보조막(21)과 산화 방지막(19)을 제거한다. 식각 에센트는 평탄화 보조막(21)과 산화 방지막(19)에 대한 살기 하부전극의 선택비가 높은 것을 사용하는 것이 바람직하다. 결과적으로 하부전극 패턴들의 노출된 상부 측벽의 아래쪽의 하부전극 패턴 사이 공간을 채우는 산화방지막 패턴(19)과 평탄화 보조막(21)이 형성된다.

도4 및 도5를 참조하면, 도4의 상태에서 기판에 반응방지막을 코포말하게 적층한다. 반응방지막 위에 강유전성 물질막을 증결 방식으로 적층하여 기판 표면이 평탄화된 상태가 되도록 한다. 강유전막과 반응방지막에 대해 식각 선택비가 적은 에센트로 전면 미방성 식각을 하여 잔류 강유전막(251)과 잔류 반응방지막(231)을 남기고, 하부 전극 패턴(17)의 상면이 다시 드러나게 한다. 하부 전극 패턴 사이에 잔류 평탄화 보조막(21)으로 채워진 공간을 제외한 나머지 공간이 잔류된 강유전성 물질막(251)으로 채워져 기판은 평탄화된 상태를 유지하도록 한다. 강유전성 물질막으로는 PZT 외에 티탄산 납, PbZrO₃, 란坦이 도핑된 PZT, 산화 납 등과, 티탄산 스트론튬, 티탄산 바륨, BST, SBT 등이 더 사용될 수 있다. 강유전성 물질막과 평탄화 보조막으로 사용된 실리콘 산화막 사이의 반응을 막을 수 있는 티타늄 산화막을 사용한다. 특히, 티타늄 산화막은 그 위 적층된 강유전성 물질막이 산화 열처리를 통해 강유전성의 페로브스카이트 구조를 형성하도록 시드층의 역할도 동시에 한다. 티타늄 산화막 외에 산화 루테늄스트론튬(SrRuO₃)도 사용 가능하다. 이때, 강유전성 물질막은 평탄화용으로 사용되며, 강유전성 물질막은 증결 방식 외에 PECVD, LPCVD, ALD 방식 등으로 반응 방지막은 CVD, ALD 방식 등으로 형성될 수 있다.

도5 및 도6를 참조하면, 도5의 하부전극 패턴들과 평탄화용 강유전성 물질막(251) 상에 강유전성 물질막(27)으로 PZT를 더 적층한다. 강유전성 물질막(27)으로는 PZT 외에 티탄산 납, PbZrO₃, 란坦이 도핑된 PZT, 산화 납 등과, 티탄산 스트론튬, 티탄산 바륨, BST, SBT 등이 더 사용될 수 있다. 같은전성 물질막(27)은 증결 방식을 이용하거나, 기타, CVD 방식 등으로 형성될 수 있다. 이때 적층되는 강유전성 물질막(27)은 평탄화용이 아닌 캐퍼시터 유전막으로 사용되는 것이며, 평탄화용 강유전성 물질막과 동일한 물질, 동일한 방법으로 형성할 수도 있고, 다르게 형성할 수도 있다.

이어서, RTP(Rapid Thermal Processing) 장비 등에서 고온, 산소 분위기로 강유전성 물질막이 실제로 강유전성을 가지는 강유전막이 되도록 결정화 열처리를 실시한다. 열처리 온도는 550도씨 이상으로 바람직하게는 700도씨 이상으로 한다.

이후, 강유전막 위에 상부 전극을 형성한다.

이상의 공정을 통해 얻어진 도6은 본 발명의 강유전체 메모리 장치의 일 부분을 나타내는 단면도로 볼 수 있다.

(실시예 2)

도7 내지 도10은 본 발명의 다른 실시예에서의 몇 가지 중요 단계를 나타내는 공정 단면도들이고 기타 나머지는 앞선 실시예 1과 동일하게 이루어질 수 있다.

도7을 참조하면, 실시예 1의 도2 상태에서 하부 전극 패턴(17)이 형성된 기판 위로 산화방지막(19)이 형성되어 하부 전극 패턴(17)과 주위의 층간 절연막(11)을 덮게 된다. 산화 방지막(19) 위에 시드층(23)이 적층된다. 시드층(23)은 그 위 적층된 강유전막이 산화 열처리를 통해 강유전성의 페로브스카이트 구조를 형성하도록 시드의 역할을 하기에 적합한 티타늄 산화막을 사용할 수 있고, 기타, 산화

루테늄스트론튬(SrRuO₃)도 사용될 수 있다. 산화방지막(19)으로 티타늄 산화막(TiO₂)을 사용할 수 있다. 면 산화방지막(19)과 시드층(23)의 역할을 겸할 수 있는 티타늄 산화막이 단일막으로 사용될 수 있다. 도7 및 도8를 참조하면, 시드층(23) 위에는 평탄화용 강유전성 물질막을 끌결 방식으로 적층하여 기판 표면이 평탄화된 상태가 되도록 한다. 이어서, 평탄화용 강유전성 물질막, 시드층 및 산화방지막을 전면 미방성 처리를 하여 하부 전극 패턴(17)의 상면이 드러나게 하고, 하부 전극 패턴(17) 사이의 공간은 잔류 강유전성 물질막(252), 잔류 산화 방지막(192), 잔류 시드층(232)으로 채워져 기판은 평탄화된 상태를 유지하도록 한다.

도9를 참조하면, 도8의 상태에서 캐퍼시터용 강유전성 물질막(27)으로 PZT를 더 적층한다.

도10을 참조하면, 평탄하게 형성된 캐퍼시터용 강유전성 물질막(27) 상에 두 개의 하부전극 패턴들에 공통된 상부전극을 형성한다. 이상의 공정을 통해 얻어진 도10은 또한 본 발명의 강유전체 메모리 장치의 일부 부분을 나타내는 단면도로 볼 수 있다.

발명의 효과

본 발명에 따르면, 평탄한 강유전막과 상부 전극을 얻을 수 있으므로 후속 캐퍼시터 라인과의 접속이 편리해지는 장점이 있다. 또한, 두 개의 인근 메모리 셀의 캐퍼시터에서 캐퍼시터 사이에 존재하는 평탄화 용 강유전막이 하부 전극 위의 강유전막과 동일하게 강유전성을 띠며 두 인근 메모리 셀에서 캐퍼시터 특성 향상이 이루어질 수 있다.

(5) 청구의 범위

청구항 1. 반도체 기판 상에 적어도 2개 형성되는 하부전극 패턴들,

상기 하부 전극 패턴들의 사이 공간을 채우는 평탄화용 강유전막 및

적어도 상기 평탄화용 강유전막과 상기 하부 전극 패턴들의 상면에 형성되는 캐퍼시터용 강유전막을 구비하여 이루어지는 강유전체 메모리 장치.

청구항 2. 제 1 항에 있어서,

상기 하부전극 패턴들 및 상기 기판과 상기 평탄화용 강유전막 사이에 상기 평탄화용 강유전막의 강유전 성 구조 형성을 위한 시드층이 더 구비되는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 3. 제 2 항에 있어서,

상기 시드층과 상기 층간 절연막 사이에 평탄화 보조막이 더 구비되어 상기 공간의 일부를 채우는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 4. 제 3 항에 있어서,

상기 시드층은 상기 평탄화용 강유전막과 상기 평탄화 보조막 사이의 반응방지막의 역할을 겸하는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 5. 제 3 항에 있어서,

상기 평탄화 보조막은 실리콘 산화막으로 이루어지고,

상기 강유전막은 PZT[Pb(Zr,Ti)O₃]로 이루어지는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 6. 제 2 항에 있어서,

상기 시드층은 이산화 티타늄 또는 산화 투테늄스트론튬(SrRuO₃)으로 이루어지는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 7. 제 1 항에 있어서,

상기 하부전극 패턴들과 상기 평탄화용 강유전막 사이에 산화방지막이 더 구비되는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 8. 제 7 항에 있어서,

상기 산화방지막은 산화 알미늄(Al₂O₃), 산화 티타늄(TiO₂), 산화 지르코늄(ZrO₂), 산화 세슘(CeO₂) 가운데 하나로 형성되는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 9. 제 1 항에 있어서,

상기 기판과 상기 하부전극 패턴을 사이에 상기 하부전극 패턴의 상기 기판에 대한 부착성을 높이기 위해 부착보조막 패턴들이 더 구비되는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 10. 제 9 항에 있어서,

상기 부착보조막 패턴은 티타늄, 탄탈륨, 이리듐, 투테늄, 텉스텐, 이를 금속의 질소 화합물, 이를 금속의 실리사이드 가운데 하나로 이루어지는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 11. 제 1 항에 있어서,

상기 평탄화용 강유전막과 상기 캐퍼시터용 강유전막은 각각 PZT[Pb(Zr,Ti)O₃], 티탄산 납(PbTiO₃), PbZrO₃, 란타이 도핑된 PZT[(Pb,La)(Zr,Ti)O₃], 산화 납(PbO), 티탄산 스트론튬(SrTiO₃), 티탄산 바륨(BaTiO₃), BST[(Ba,Sr)TiO₃], SBT(SrBi₂Ta₂O₉), Bi₂Ti₃O₇, 가운데 어느 하나로 형성될을 특징으로 하는 강유전체 메모리 장치.

청구항 12. 제 1 항에 있어서,

상기 하부전극 패턴들을 밴금, 루테늄(Ru), 미리듐, 로듐, 오스뮴, 팔라듐, 이들 금속의 도전성 산화물을, 이상 물질들의 조합 가운데 하나로 이루어지는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 13. 반도체 기판 상에 형성되는 층간 절연막,

상기 콘택 플러그와 각각 접속되도록 상기 층간 절연막 위에 형성되는 적어도 2개의 하부전극 패턴들,

상기 하부 전극 패턴들의 사이 공간을 채우는 평탄화용 강유전막,

상기 하부전극 패턴들 및 상기 층간 절연막과 상기 평탄화용 강유전막 사이에 개재되는 시드층,

적어도 상기 평탄화용 강유전막과 상기 하부 전극 패턴들의 상면에 평탄하게 형성되는 캐퍼시터용 강유전막을 구비하여 이루어지는 강유전체 메모리 장치.

청구항 14. 제 13 항에 있어서,

상기 캐퍼시터용 강유전막 위에 그리고 적어도 2개의 상기 하부 전극 패턴들 위로 공통으로 형성되는 캐퍼시터 상부전극 패턴을 더 구비하여 이루어지는 강유전체 메모리 장치.

청구항 15. 제 13 항에 있어서,

상기 시드층과 상기 층간 절연막 사이에 상기 공간의 일부를 채우도록 평탄화 보조막이 더 구비되고, 상기 평탄화 보조막과 상기 층간 절연막 및 상기 하부전극 패턴들의 층별 일부 사이에는 산화방지막이 더 구비되는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 16. 반도체 기판 상에 적어도 2개의 하부전극 패턴들을 형성하는 단계,

상기 하부 전극 패턴들의 사이 공간에 평탄화용 강유전성 물질막을 형성하는 단계 및

적어도 상기 평탄화용 강유전성 물질막과 상기 하부 전극 패턴들의 상면에 캐퍼시터용 강유전성 물질막을 형성하는 단계를 구비하여 이루어지는 강유전체 메모리 장치 형성 방법.

청구항 17. 제 16 항에 있어서,

상기 평탄화용 강유전성 물질막을 형성하는 단계는;

상기 하부전극 패턴들이 형성된 기판에 강유전성 물질을 적층하여 상기 하부전극 패턴들 사이의 공간을 채우는 단계와;

상기 하부전극 패턴들의 상면이 드러나도록 적층된 상기 강유전성 물질에 대한 평탄화 식각을 실시하는 단계를 구비하여 이루어지는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 18. 제 16 항에 있어서,

상기 하부전극 패턴들을 형성하는 단계와 상기 평탄화용 강유전성 물질막을 형성하는 단계 사이에;

상기 하부전극 패턴들이 형성된 기판에 평탄화 보조막을 적층하여 상기 하부전극 패턴들 사이의 공간을 채우는 단계와;

상기 하부전극 패턴들의 상면이 드러나도록 상기 평탄화 보조막을 식각하면서 상기 공간 일부에 상기 평탄화 보조막을 잔류시키는 단계를 구비하여 이루어지는 강유전체 메모리 장치 형성 방법.

청구항 19. 제 16 항에 있어서,

상기 강유전성 물질막을 형성하는 단계 전에 상기 하부전극 패턴들이 형성된 기판 전면에 시드층을 형성하는 단계를 구비하여 이루어지는 강유전체 메모리 장치 형성 방법.

청구항 20. 제 16 항에 있어서,

상기 하부전극 패턴들을 형성하는 단계에 이어 산화방지막을 기판 전면에 형성하는 단계를 구비하여 이루어지는 강유전체 메모리 장치 형성 방법.

청구항 21. 반도체 기판 상에 적어도 2개의 콘택 플러그들에 의해 관통되는 층간 절연막을 형성하는 단계,

상기 층간 절연막 위로 상기 콘택 플러그 각각과 연결되는 적어도 2개의 하부전극 패턴들을 형성하는 단계,

상기 하부전극 패턴들 위에 시드층을 상기 기판 전면에 걸쳐 형성하는 단계,

상기 하부전극 패턴들 위로 강유전성 물질을 1차 적층하여 상기 하부전극 패턴들 사이의 공간을 채우는 평탄화용 강유전성 물질막을 형성하는 단계,

상기 하부전극 패턴들 사이의 공간이 강유전성 물질로 채워진 반도체 기판을 상기 하부전극 패턴들의 상

면이 드러나도록 평탄화 식각하는 단계 및

상면이 드러난 상기 하부전극 패턴들 위에 강유전성 물질을 2차 적층하여 캐퍼시터용 강유전성 물질막을 형성하는 단계를 구비하여 이루어지는 강유전체 메모리 장치 형성 방법.

청구항 22. 제 21 항에 있어서,

상기 하부전극 패턴들을 형성하는 단계와 상기 시드층을 형성하는 단계 사이에;

상기 하부전극 패턴들이 형성된 기판에 평탄화 보조막을 적층하여 상기 하부전극 패턴들 사이의 공간을 채우는 단계와;

상기 하부전극 패턴들의 상면이 드러나도록 상기 평탄화 보조막을 식각하면서 상기 공간 일부에 상기 평탄화 보조막을 잔류시키는 단계를 구비하여 이루어지는 강유전체 메모리 장치 형성 방법.

청구항 23. 제 21 항에 있어서,

상기 하부전극 패턴들을 형성한 후 평탄화 보조막을 적층하기 전에 산화방지막을 기판 전반에 걸쳐 적층하는 단계가 더 구비되고,

상기 평탄화 보조막을 식각할 때 상기 산화방지막을 상기 하부전극 패턴들의 상면에서 제거하는 것을 특징으로 하는 강유전체 메모리 장치 형성 방법.

청구항 24. 제 21 항에 있어서,

상기 하부전극 패턴들 위에 시드층을 상기 기판 전면에 걸쳐 형성하는 단계에 이어 상기 시드층을 평탄화 식각하여 상기 하부전극 패턴들의 상면을 드러내는 단계가 더 구비되는 것을 특징으로 하는 강유전체 메모리 장치 형성 방법.

청구항 25. 제 21 항에 있어서,

상기 평탄화용 강유전성 물질막은 즐겔(SOL-GEL) 변환 방식을 이용하여 형성하는 것을 특징으로 하는 강유전체 캐퍼시터를 가지는 메모리 장치 형성 방법.

청구항 26. 제 21 항에 있어서,

상기 평탄화용 강유전성 물질막과 상기 캐퍼시터용 강유전성 물질막은 동일한 물질로 형성되는 것을 특징으로 하는 강유전체 캐퍼시터를 가지는 메모리 장치 형성 방법.

청구항 27. 반도체 기판 상에 적어도 2개의 콘택 플리그들에 의해 관통되는 층간 절연막을 형성하는 단계,

상기 층간 절연막 위로 도전막을 적층하는 단계,

상기 도전막을 패터닝하여 상기 콘택 플리그 각각과 연결되는 적어도 2개의 하부전극 패턴들을 형성하는 단계,

상기 하부전극 패턴들 위로 산화방지막을 상기 기판 전면에 걸쳐 콘포말하게 적층하는 단계,

상기 하부전극 패턴들 위로 시드층을 상기 기판 전면에 걸쳐 적층하는 단계,

상기 시드층 위로 강유전성 물질을 1차 적층하여 상기 하부전극 패턴들 사이의 공간을 채우는 단계,

상기 하부전극 패턴들의 상면이 드러나도록 적어도 1차 적층된 상기 강유전성 물질과 상기 시드층에 대한 평탄화 식각을 실시하여 평탄화용 강유전성 물질막을 형성하는 단계,

상면이 드러난 상기 하부전극 패턴들 위에 강유전성 물질을 2차 적층하여 캐퍼시터용 강유전성 물질막을 형성하는 단계,

기판에 적층된 모든 강유전성 물질막이 강유전성 구조를 가지고도록 열처리하여 강유전막을 형성하는 단계 및

상기 캐퍼시터 상부 전극을 형성하는 단계를 구비하여 이루어지는 것을 특징으로 하는 강유전체 메모리 장치 형성 방법.

청구항 28. 제 27 항에 있어서,

상기 도전막을 형성하기 전에 부착보조막을 형성하는 단계가 구비되고,

상기 부착보조막은 상기 도전막을 패터닝할 때 연속하여 패터닝되는 것을 특징으로 하는 강유전체 메모리 장치 형성 방법.

청구항 29. 제 27 항에 있어서,

상기 산화방지막을 적층하고 상기 시드층을 적층하기 전에 평탄화 보조막을 기판 전반에 걸쳐 적층하는 단계 및

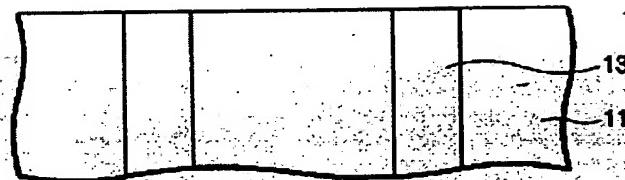
상기 하부전극 패턴들의 상면이 드러나게 상기 평탄화 보조막을 식각하는 단계가 더 구비되는 것을 특징으로 하는 강유전체 메모리 장치 형성 방법.

청구항 30. 제 27 항에 있어서,

상기 강유전성 물질에 대한 열처리는 산화 분위기에서 550도씨 이상의 고온으로 실시하는 것을 특징으로 하는 강유전체 메모리 장치 형성 방법.

도면

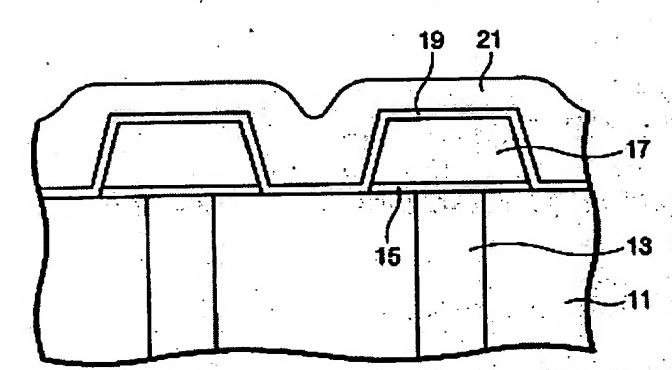
도면1

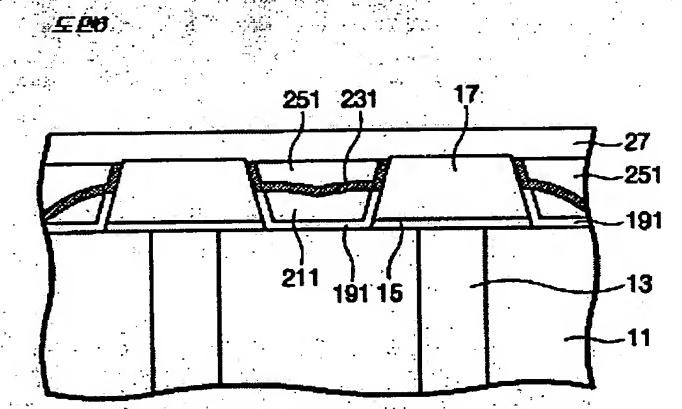
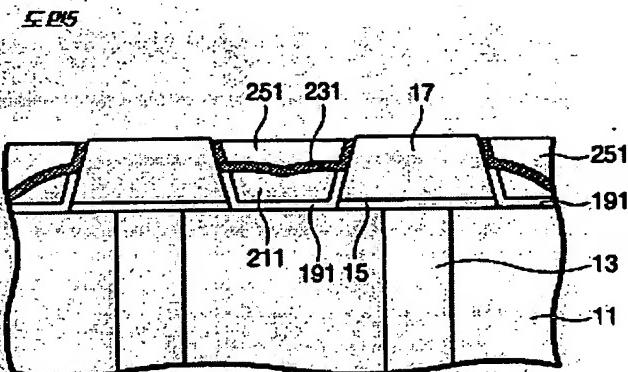
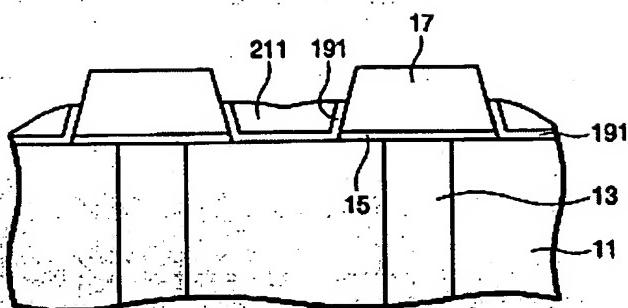


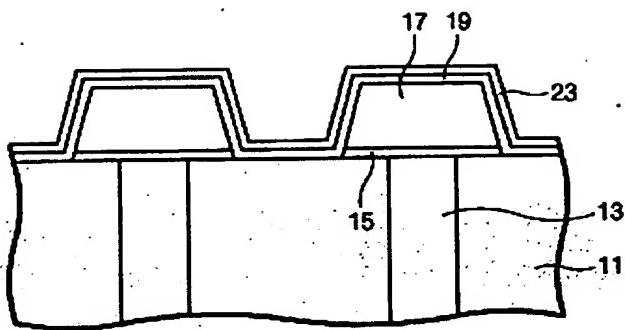
도면2



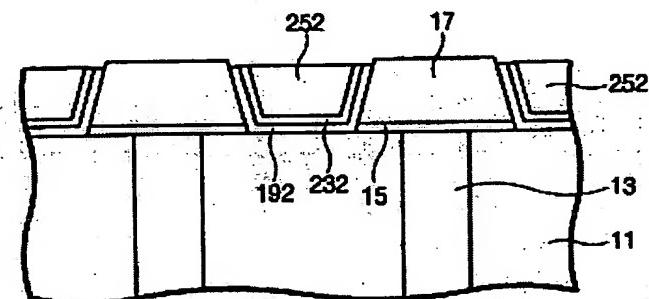
도면3



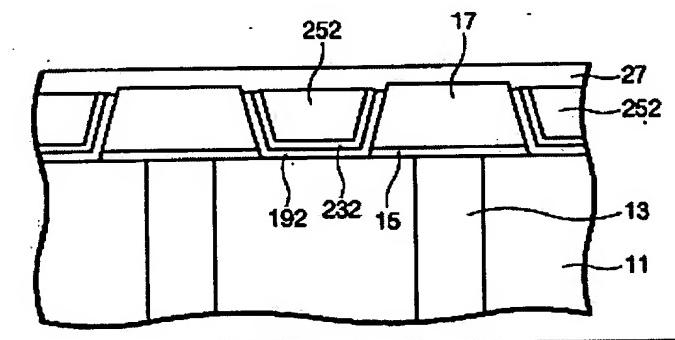




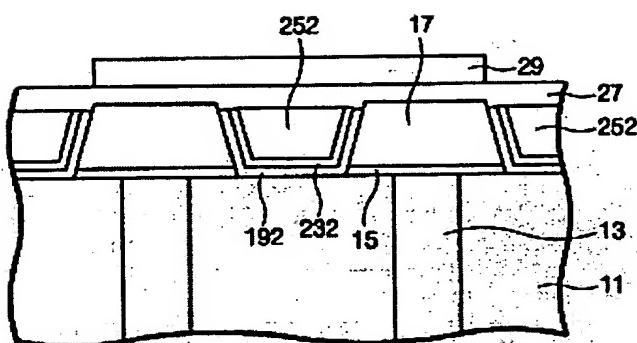
2008



2009



SEIKO



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.